

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts IO232WO/LG	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/DE00/02316	Internationales Anmeldedatum (Tag/Monat/Jahr) 17/07/2000	Prioritätsdatum (Tag/Monat/Jahr) 16/07/1999
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L29/76		
Anmelder INFINEON TECHNOLOGIES AG et al.		

1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.



2. Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 4 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 16/02/2001	Datum der Fertigstellung dieses Berichts 14.11.2001
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Madenach, A Tel. Nr. +49 89 2399 2832 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):
Beschreibung, Seiten:

1,3-13 ursprüngliche Fassung

2,2a eingegangen am 23/10/2001 mit Schreiben vom 22/10/2001

Patentansprüche, Nr.:

1,2,3 (Teil),8 (Teil), ursprüngliche Fassung
9-12

3 (Teil),4-7, eingegangen am 23/10/2001 mit Schreiben vom 22/10/2001
8 (Teil)

Zeichnungen, Blätter:

1-5 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den

Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
☐ Ansprüche, Nr.:
☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	1-12
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	1-12
	Nein: Ansprüche	
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-12
	Nein: Ansprüche	

**2. Unterlagen und Erklärungen
siehe Beiblatt**

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:
siehe Beiblatt

Die nachfolgenden Ausführungen beziehen sich auf die im Deckblatt angeführten Punkte II-VIII, sofern sie angekreuzt sind:

1. Es wird auf die folgenden Dokumente verwiesen:

D1: PATENT ABSTRACTS OF JAPAN vol. 1997, no. 03, 31. März 1997 (1997-03-31) -& JP 08 306905 A (HITACHI LTD), 22. November 1996 (1996-11-22)

D2: RISCH L ET AL: 'VERTICAL MOS TRANSISTORS WITH 70NM CHANNEL LENGTH' IEEE TRANSACTIONS ON ELECTRON DEVICES,US,IEEE INC. NEW YORK, Bd. 43, Nr. 9, 1. September 1996 (1996-09-01), Seiten 1495- 1498, XP000636266 ISSN: 0018-9383

D3: GOSSNER H ET AL: 'VERTICAL SI-METAL-OXIDE-SEMICONDUCTOR FIELD EFFECT TRANSISTORS WITH CHANNEL LENGTHS OF 50 NM BY MOLECULAR BEAM EPITAXY' JAPANESE JOURNAL OF APPLIED PHYSICS,JP,PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, Bd. 33, Nr. 4B, PART 01, 1. April 1994 (1994-04-01), Seiten 2423-2428, XP000595139 ISSN: 0021-4922

D4: DE 42 35 152 A (INST HALBLEITERPHYSIK GMBH FRA) 21. April 1994 (1994-04-21)

D5: US-A-5 871 870 (ALWAN JAMES J) 16. Februar 1999 (1999-02-16)

D6: US-A-5871870

D7: EP-A-0 843 361 (HITACHI EUROP LTD) 20. Mai 1998 (1998-05-20)

D8: US-A-5 714 766 (TIWARI SANDIP ET AL) 3. Februar 1998 (1998-02-03)

D9: H. MIZUTA, D. WILLIAMS, K. KATAYAMA, H.-O. MÜLLER, K. NAKAZATO, H. AHMED: 'High-speed single-electron memory: cell design and architecture' IEEE COMPUT. SOC, 12. - 13. März 1998, Seiten 67-72, XP002151823 LOS ALAMITOS / USA

D10: DE-C1-196 32 835

Die Dokumente D7-D10 wurden im internationalen Recherchenbericht nicht angegeben. Kopien der Dokumente liegen bei.

2. Die Anmeldung erfüllt die Erfordernisse von Artikel 6 PCT, da die Ansprüche 1-12 klar sind.

- 2.1 Der Begriff "statistische Maske" in Anspruch 1 und die damit verbundene Erfindung ist bekannt aus D5 und D10. Daher ist der damit verbundene Schutzzumfang ausreichend klar.
- 2.2 In Anspruch 8 wird eine Vorrichtung unter Verwendung eines Verfahrensmerkmals ("unter Verwendung einer statistischen Maske") definiert. Es ist klar, daß bei Herstellung einer solchen Vorrichtung zum Beispiel im Falle von Transistoren, die Kanalbreiten statistisch verteilt sind.
3. Die Anmeldung erfüllt die Erfordernisse von Artikel 33 (2) und 33(3) PCT, da der Gegenstand der Ansprüche 1-12 neu ist und auf einer erfinderischen Tätigkeit beruht.
- 3.1 D1-D3 stellen einen relevanten Stand der Technik für den Gegenstand des Anspruchs 8 dar, wobei D3 diesem Gegenstand am nächsten kommt. Der Inhalt von D1 läßt sich nur ungefähr erschließen und ist mutmaßlich dem von D3 ähnlich. In D2 gibt es offensichtlich keinen bodenseitigen Kontakt.

Der Gegenstand des Anspruchs 8 unterscheidet sich von D3 (siehe Fig. 1 von D3) dadurch, daß es sich um eine Mehrzahl von Säulenstrukturen mit statistischem Querschnitt handelt. In D3 ist nur eine Säulenstruktur gezeigt. Es ist zwar davon auszugehen, daß die Autoren von D3 eine Vielzahl der in Fig. 1 gezeigten Strukturen auf einem Substrat geformt haben. Zumindest wäre es jedoch für den Fachmann naheliegend, eine Vielzahl der gezeigten Transistoren auf einem Substrat zu integrieren. Jedoch wäre dann der Querschnitt der Säulen regelmäßig. Die statistischen Säulen aus D10 sind alle elektrisch miteinander verbunden und können somit nicht als Ausgangspunkt für die vorliegende Erfindung dienen.

Die durch den statistischen Querschnitt zu lösende Aufgabe ist S. 3, Z. 4-26 der Anmeldung zu entnehmen.

- 3.2 Die Verwendung einer statistischen Maske nach Anspruch 1, wie sie auf Seite 6, Z. 35 - Seite 8, Z. 25 der Anmeldung beschrieben ist und die zur Herausbildung einer Mehrschichtstruktur führt, ist in der Technik neu. Zwar ist etwas ähnliches in

D5 und D10 gezeigt, jedoch scheint eine Anwendung der dort beschriebenen Maskentechnik auf eine Mehrschichtstruktur, wie sie zum Beispiel aus D3 bekannt ist, nicht unbedingt naheliegend zu sein. Somit ist der Gegenstand der Ansprüche 1-7 neu und erfinderisch.

planaren Bauelementen) an. In Vertikalbauweise lassen sich ohne weiteres bei MOSFETs Kanallängen von unter 100 nm erreichen, da die Kanallänge mit hoher Genauigkeit durch Vorgabe einer Schichtdicke eingestellt werden kann.

5

In der deutschen Patentanmeldung DE 196 32 835 A1 ist ein Halbleiter-Kondensator beschrieben, der zur Vergrößerung seiner Kondensatorfläche eine Kondensatorelektrode mit vertikalen Säulenstrukturen aufweist. Die Säulenstrukturen werden unter Verwendung einer statistischen Maske gebildet, welche Strukturgrößen im Sub-100 nm Bereich ermöglicht.

In der Veröffentlichung "Self-limiting oxidation for fabricating sub-5 nm silicon nanowires" von H. I. Liu, et al., "Appl. Phys. Lett." 64 (11), Seiten 1383-1385 (1994) wird ein lateraler Oxidationsprozeß beschrieben, mit dem es möglich ist, vertikale 2 nm breite Silizium-Säulenstrukturen zu erzeugen, die von einem SiO₂-Mantel umgeben sind.

In der Veröffentlichung "Fabrication of silicon nanopillars containing polycrystalline silicon/insulator multilayer structures", von H. Fukuda, et al., "Appl. Phys. Lett." 70 (3), Seiten 333-335 (1997) wird ein Einzelelektronentransistor vorgeschlagen, der Silizium-Säulenstrukturen umfaßt, die mit dem in der vorstehend erwähnten Veröffentlichung beschriebenen lateralen Oxidationsverfahren hergestellt werden und die ferner mehrere in Querrichtung zu der Säulenachse orientierte Tunnel-Isolationsschichten enthalten.

In der Schrift Patent Abstracts of Japan, Bd. 1997, Nr. 3, 08306905 A, ist eine Säulenstruktur beschrieben, welche durch ein Fotolackmuster aus einem Halbleiterschichtstapel herausgebildet wird.

In der Veröffentlichung "Vertical MOS Transistors with 70 nm Channel Length", von L. Risch et al., IEEE Transactions on Electron Devices, Bd. 43, Nr. 9, Seiten 1495-1498, (1996),

ist ein lithographisch hergestellter Vertikal-Transistor mit einer Kanallänge von 70 nm beschrieben. Ein weiterer Vertikal-Transistor mit einer Kanallänge von 50 nm, welcher mit einer Schattenmaske hergestellt wird, ist in der Veröffentlichung "Vertical Si-Metal-Oxide-Semiconductor Field Effect Transistors with Channel Lengths of 50 nm by Molecular Beam Epitaxy" von H. Gossner et al., Jpn. J. Appl. Phys. Bd. 33, Seiten 2423-2428, (1994), angegeben.

10 In der U.S.-Patentschrift 5,871,870 ist eine statistische Maske beschrieben, welche durch Aufbringen einer Mischung bestehend aus Maskenpartikeln und Abstandspartikeln auf eine Oberfläche und nachfolgendes Entfernen der Abstandspartikel erzeugt wird.

15

In den Schriften EP 0 843 361 A1, U.S. 5,714,766 und der Veröffentlichung "High-speed single-electron memory: cell design and architecture", von H. Mizuta et al., IEEE Comput. Soc, Seiten 67-72, (1998) sind Speicherzellen mit Säulenstrukturen beschrieben, welche mit Tunnelschichten für das Hindurchtunneln von ein oder mehreren Elektronen ausgeführt sind.

20

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements anzugeben, das die Herstellung leistungsfähiger und skalierbarer derartiger Bauelemente ermöglicht. Die Erfindung zielt ferner darauf ab, leistungsfähige, insbesondere eine hohe Stromtreiberfähigkeit aufweisende skalierbare Halbleitertransistorbauelemente zu schaffen.

25

Isolationsschichten aufgebaut wird, wobei die Schichtdicke der Tunnel-Isolationsschichten kleiner als 5 nm ist.

4. Verfahren nach Anspruch 3,

- 5 d a d u r c h g e k e n n z e i c h n e t,
- daß die Halbleiterschichten aus Silizium bestehen, und
 - daß nach der Herausbildung der Säulenstrukturen (12') ein lateraler, selbstbegrenzender Oxidationsschritt zur Erzeugung von Silizium-Säulenstrukturkernen (20) reduzierter lateraler Dimensionen ausgeführt wird.
- 10

5. Verfahren nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n z e i c h n e t,

- daß die Anzahl der gebildeten Säulenstrukturen (12, 12') durch einen Masken-Selektionsschritt (L2) gezielt auf einen gewünschten Wert, welcher insbesondere zwischen 100 und 200 liegt, eingestellt wird.
- 15

6. Verfahren nach einem der vorhergehenden Ansprüche,

- 20 d a d u r c h g e k e n n z e i c h n e t,
- daß die statistische Maske durch CVD-Abscheidung eines Materials auf einer Oberfläche über der Schichtfolge (5, 6, 7) erzeugt wird, welches bei der Abscheidung auf der Oberfläche Keime (9, 10) bildet.
- 25

7. Verfahren nach einem der vorhergehenden Ansprüche,

- d a d u r c h g e k e n n z e i c h n e t,
- daß die statistische Maske durch CVD-Abscheidung einer durchgehenden Schicht auf einer Oberfläche über der Schichtfolge (5, 6, 7) und einem nachfolgenden Temper-
- 30
- schritt zur Zersetzung der Schicht in einzelne Keime (9, 10) erzeugt wird.

8. Vertikal-Halbleitertransistorbauelement, mit über einem Substrat (1) unter Verwendung einer statistischen Maske aufgebauten und infolgedessen statistisch verteilt über dem Substrat angeordneten vertikalen Säulenstrukturen (12, 12'),

35

Zusammenfassung

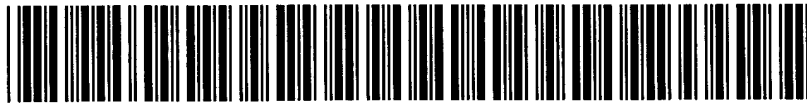
Verfahren zur Herstellung eines Vertikal-Halbleitertransistorbauelements und Vertikal-Halbleitertransistorbauelement

5

Ein Vertikal-Halbleitertransistorbauelement wird über einem Substrat (1) unter Verwendung einer statistischen Maske aufgebaut und weist statistisch über dem Substrat verteilt angeordnete vertikale Säulenstrukturen auf. Diese stehen bodenseitig mit einem ersten gemeinsamen elektrischen Kontakt (K1) in elektrischer Verbindung, umfassen in Vertikalrichtung Schichtzonen (5A, 6A, 7A) unterschiedlicher Leitfähigkeit, und sind an ihren Umfangswänden mit Isolationsschichten (13) versehen. Ein elektrisch leitfähiges Material (14) ist zwischen den Säulenstrukturen abgelagert und bildet einen zweiten elektrischen Kontakt (K2) des Halbleitertransistorbauelements. Deckenseitig sind die Säulenstrukturen mit einem dritten gemeinsamen elektrischen Kontakt (K3) kontaktiert.

20 (Fig. 2A)

US 1018266102P1



Creation date: 17-07-2003
Indexing Officer: LCHAU - LINH CHAU
Team: OIPEScanning
Dossier: 10182661

Legal Date: 14-07-2003

No.	Doccode	Number of pages
1	ELC.	2

Total number of pages: 2

Remarks:

Order of re-scan issued on